

基于 SMIC-28 nm 低功耗高精度带隙基准的研究

纪书江^{1,2,3}, 霍长兴^{1,2}, 孙海涛^{1,2}, 刘 璟^{1,2}, 刘 明^{1,2}

(1 中国科学院 微电子研究所, 北京 100029; 2 中国科学院 微电子器件与
集成技术重点实验室, 北京 100029; 3 中国科学院大学, 北京 100049)

摘 要: 基于 SMIC 28 nm 工艺实现了一种用于 Flash 的低功耗高精度的带隙基准电路, 在传统电压模结构上采用共源共栅结构提高了各支路偏置电流的精度和 PSRR, 设计过程中仿真了器件所有 corner, 温度范围 $-40\sim 125^{\circ}\text{C}$ 和电源电压 $\pm 10\%$ 的情况. 300 次 Monte Carlo 仿真输出电压平均值为 1.196 42 V, 方差为 5.011 mV, 温度系数为 $7\times 10^{-6}/^{\circ}\text{C}$, 总电流仅为 264 nA, 电源电压为 1.8 V 时, 最恶劣 corner 总电流为 343 nA, 低频 1 kHz 电源抑制比为 -78 dB . 该电路中设计了一款新的启动电路, 该电路由带负反馈的三支路偏置电路和施密特触发器组成, 极大地提高了电路的稳定性, 芯片版图面积为 $105\text{ }\mu\text{m}\times 110\text{ }\mu\text{m}$.

关键词: 带隙基准; 低功耗; 低温漂; 启动电路

中图分类号: TN722

文献标识码: A

文章编号: 1000-7180(2017)09-0071-06

A Low-Power and High-Precision Bandgap Reference Voltage Based on SMIC-28nm Process

JI Shu-jiang^{1,2,3}, HUO Chang-xing^{1,2}, SUN Hai-tao^{1,2}, LIU Jing^{1,2}, LIU Ming^{1,2}

(1 Institute of Microelectronics of the Chinese Academy of Sciences, Beijing 100029, China;
2 Key Laboratory of Microelectronic Devices & Integrated Technology, Institute of Microelectronics of Chinese Academy of Sciences, Beijing 100029, China; 3 University of Chinese Academy of Sciences, Beijing 100049, China)

Abstract: Based on SMIC 28 nm, a low-power and high-precision bandgap reference voltage for Flash memory is presented in the paper. Cascode is used to improve the precision of the bias current and PSRR. In this circuit design process, all process corner, the range of temperature is $-40\sim 125^{\circ}\text{C}$ and power floats $\pm 10\%$ has been simulated. With three hundreds Monte Carlo, the mean of output voltage is 1.196 42 V and standard deviation is 5.011 mv, the coefficient is 7 ppm/ $^{\circ}\text{C}$, the total current is 260 nA and When the power is 1.8 V the worse case is 343 nA and the PSRR is -78 dB at 1 kHz. A new startup circuit is presented, with the introduction of Schmitt Trigger and tip-branch, the bandgap shows better stability. The area of layout is $105\text{ }\mu\text{m}\times 110\text{ }\mu\text{m}^2$.

Key words: bandgap; low power; low temperature-drift; start-up circuit

1 引言

带隙基准除了能提供一个不随温度、电源电压变化的基准电压外, 还可以做到功耗低、与 CMOS 工艺兼容, 所以广泛应用于 ADC、DAC、LDO、存储器、电源管理等电路中. 随着物联网的兴起和便携式智能电子产品的快速发展, 对产品

的功耗和稳定性提出了较高的要求, 在一些极低功耗的系统中带隙基准的功耗成了系统主要的静态功耗, 从而对基准电路的功耗提出了严格的挑战, 主要难点在于如何较好地实现电路在精度与稳定性、功耗、面积之间的折中. 实现低功耗基准带隙的常见思路有两种: 一种是在传统电路结构上做出改进, 在传统的结构中电流和电阻大小存

在着一个折中,要想达到小的电流就要通过加大电阻来实现,但是大的电阻会占用过大的面积从而加大成本;另一种思路是利用 MOS 管亚阈区低电流特性来实现低功耗,基于这种思路有些学者提出了一些新结构^[1-3],但是目前这种技术还存在一些问题,在产业界应用并不广泛。

2 带隙基准的工作原理

带隙基准基有电压模和电流模两种结构,电流模经典结构^[4]和传统电压模结构相比在实现相等电流下需要的电阻大,在相同的电阻下电流消耗大,所以本文采用传统经典的电压模结构,该结构由 K. E. Kujik 等人在 1973 年提出,图 1 所示为 K. E. Kujik 等人提出的基准电路的一种实现形式。

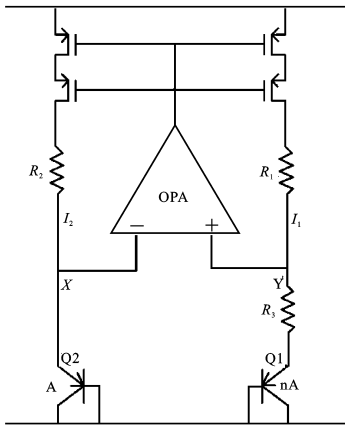


图 1 K. E. Kujik 等人提出的带隙基准电路实现结构

若要实现一个与温度无关的电压则可以通过一个正温度系数电压和一个负温度系数电压相加来实现,正温度系数的物理量通常选用 V_T ,负温度系数的物理量通常有两种选择 V_{BE} 、NMOS 的 V_{TH} ,这样就可以组合得到不同结构的带隙基准电路。因为 $V_{BE} = V_T \ln(I_C/I_S)$,因此正温度系数的 V_T 可以利用 V_{BE} 的差得到,即 $\Delta V_{BE} = V_T \ln(n)$,在图 1 中运放使得 X、Y 两点电压相等, $V_X = V_{BE2}$, $V_Y = V_{BE1} + I_1 R_3$,因为 $I_1 = I_2$, $R_1 = R_2$,所以 $I_1 = V_T \ln n / R_3$,

$$V_{ref} = V_{BE2} + I_1 R_1 = V_{BE2} + \frac{R_1}{R_3} * V_T \ln n \quad (1)$$

这样通过调整 $\frac{R_1}{R_3} \ln n$ 使得 $\frac{\partial V_{ref}}{\partial T} = 0$ 即可实现基准电压不随温度变化而变化。但是,为保持电路的对称性该结构多耗费一个电阻 R_2 ,然而在设计低功耗时 R_2 的阻值很大,所以占用很大的面积,因此本文起初想法是将 R_2 移除只保留右边支路的

R_1 ,但是由于电路结构的不对称和管子尺寸的选择使得电路产生了除了零点和唯一稳定点以外的简并点,仿真结果如图 2 中 V_{out0} 所示,由于截止区的 MOS 管通常有很大的电阻因此将 R_2 用截止区的 MOS 替换,但是经仿真不能保证所有的 corner 都工作,部分 corner 下 R_1 上方电流镜工作在线性区,使得两路电流不相等,电源电压在 $1.62 \text{ V} / \text{ss} / -40$ corner 下仿真电路不能正常工作,因此本文不得不另外加了一个支路,简并点仿真如图 2 中的 V_{out1} 所示,图 3 所示为本文带隙基准整体电路,偏置电路每个支路电流为 8 nA ,运放采用折叠共源共栅形式总电流为 $6 \times 8 \text{ nA}$,核心电路每个支路为 $8 \times 8 \text{ nA}$,输出电压为

$$V_{ref} = V_{BE2} + V_T \ln n \frac{R_2}{R_1} \quad (2)$$

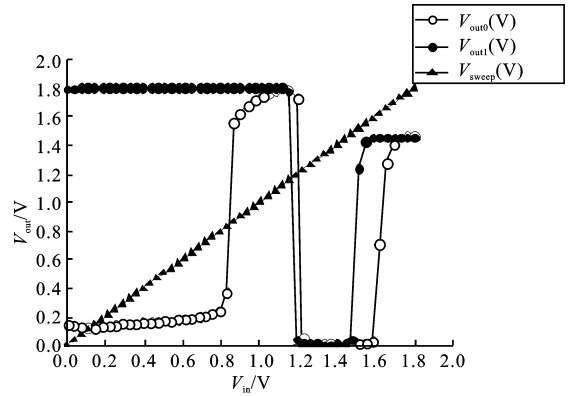


图 2 简并点仿真结果

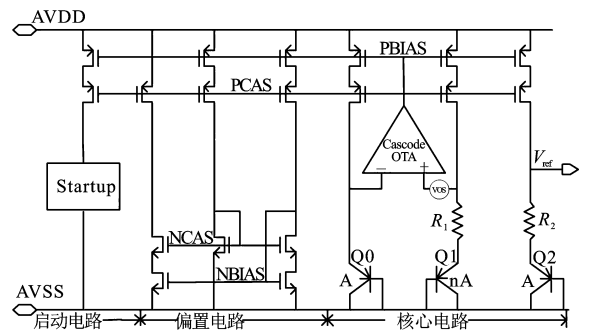


图 3 本文的带隙基准整体电路

3 启动电路

本文设计了一款新的启动电路,由三支路偏置电路^[5]和施密特触发器两部分构成如图 4 所示。

启动电路工作过程:由于电流很低为了加快上电启动速度,启动电路中使用了使能信号 PD,开始工作时使能信号 PD 为低,PH 为高 PL 为低,使得 M0~M6 都导通产生一个较大电流,由于 PH 较高,

较接近(本文所取比例 3 : 3.5 : 3.5), 以此来减小这种因素对电路输出电压的影响.

5 低功耗新结构分析

在原来传统的电路中若要实现低功耗, 则需要很大的电阻, 这样明显的一个缺点就是占用过大的芯片面积, 因此在近些年有一些学者提出了一些新结构的电路, 主要原理是通过使 MOS 管工作在亚阈值区来减小电流从而减小功耗, 实现原理是用 NMOS 的阈值电压 V_{TH} 与温度成负相关的特性将传统的 BJT 换掉, 和与温度成正相关的物理量 V_T 来实现不随温度变化的特性, 图 5 所示为一种新结构带隙基准, 左边电路为电流 I_P 产生电路, 右边为电压基准产生电路, 工作在亚阈值区的 MOS 管漏电流为

$$I_D = KI_0 \exp\left(\frac{V_{GS} - V_{TH}}{\eta V_T}\right) * \left(1 - \exp\left(-\frac{V_{DS}}{V_T}\right)\right) \quad (5)$$

$$I_0 = \mu C_{OX} (\eta - 1) V_T^2 \quad (6)$$

当 $V_{DS} > 0.1$ 时式(5)可写为

$$I_D = KI_0 \exp\left(\frac{V_{GS} - V_{TH}}{\eta V_T}\right) \quad (7)$$

式中, K 为 W/L ; μ 为载流子迁移率; C_{OX} 是单位面积的栅氧电容; η 是亚阈区的斜率因子^[7-8]; $V_T = kT/q$; k 为玻尔兹曼常数. 从图 4 可以看出流过 M_3 、 M_5 、 M_7 的电流分别是 I_P , 流过 M_4 和 M_6 的电流分别是 $2I_P$ 、 $3I_P$, 输出电压

$$\begin{aligned} V_{REF} &= V_{GS4} - V_{GS3} + V_{GS6} - V_{GS5} + V_{GS7} \\ &= V_{GS4} + \eta V_T \ln\left(\frac{2K_3 K_5}{K_6 K_7}\right) \\ &= V_{TH} + \eta V_T \ln\left(\frac{3I_P}{K_4 I_0}\right) + \eta V_T \ln\left(\frac{2K_3 K_5}{K_6 K_7}\right) \end{aligned} \quad (8)$$

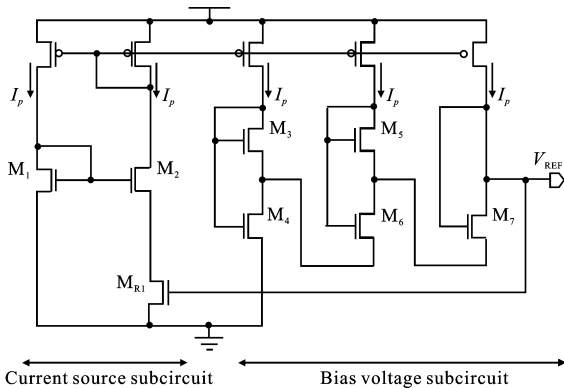


图 5 一个新结构低功耗带隙基准电路

由于 NMOS 的阈值电压

$$V_{TH} = V_{TH0} - \kappa T \quad (9)$$

与温度成负相关, 热电压 V_T 与温度成正相关, 从而实现了基准电压不随温度变化的特性. 由式(8)可以看出, 在计算的工程中忽略了 V_{TH} 的变化, 只有在认为他们完全一样才能得出式(8), 但是在实际制作的过程中 V_{TH} 是随着掺杂浓度和温度变化的, 所以这种结构下的管子尺寸并不能太小, 若太小会加大阈值电压的失配, 从而使得阈值电压相差较大, 进而不能实现式(8)中的结果, 同时在使用时, 即使是同一个管子, 在不同的衬偏情况下也会导致不同的 V_{TH} , 从而也不能实现式(8). 另外低频时电源变化引起的增益可以直观理解为输出电压到地的电阻和该支路电源电压到地的电阻的比值, 从图 4 可以看出比值较大, 从而该结构 PSRR 不会太高, 这也通过文献[1]的仿真结果得到验证, 同时文献[1]中仿真了 V_{REF} 的平均值和 ΔV_{TH} 的关系, 如图 6 所示, 由于 V_{TH} 的变化和掺杂浓度、工艺刻蚀、制作时的温度等因素有关, 这样就导致同一个 wafer 上不同 die 之间、不同 wafer 的 die 之间的值是不相同的, 所以 V_{REF} 也有相应的变化, 这种结构应用场合很有限, 这也是这种结构目前还没有大规模应用的一个原因. 总的来说, V_{TH} 受环境和工艺影响的因素比 V_{BE} 多且变化较大, 导致了新结构下的电路并不能很好的得到应用.

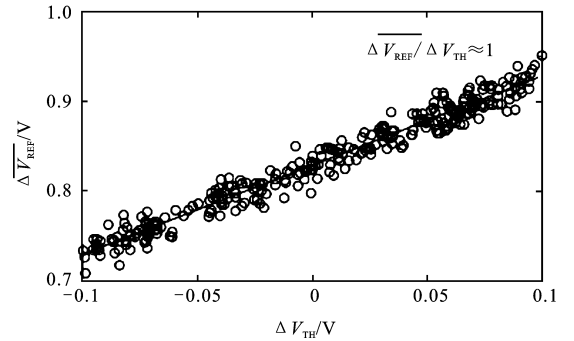


图 6 300 次 Monte Carlo 仿真 ΔV_{TH} 和 V_{REF} 平均值的的关系

6 仿真结果分析

本文带隙基准的瞬态仿真如图 7 所示, 五角星曲线为前仿真结果, 圆形曲线为版图提取寄生参数后的仿真结果, $150 \mu s$ 输出电压基本稳定, 前后仿真稳定电压分别为 $1.195161 V$ 和 $1.194599 V$, 大小仅差 $0.56 mV$.

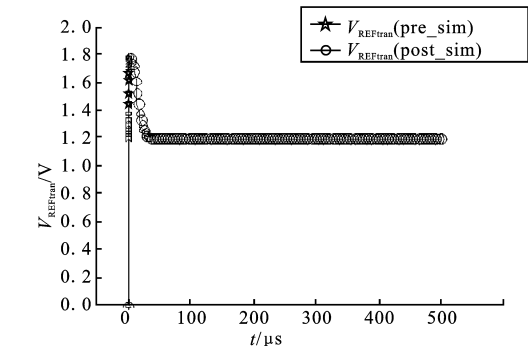


图 7 带隙基准上电瞬态的曲线

图 8 所示为基准电压随温度变化的仿真温度范围-40~125℃,实心圆曲线为前仿真结果,空心圆曲线为版图提取寄生参数后的仿真结果,前后仿真温度系数分别为 $7.02\times10^{-6}/^{\circ}\text{C}$ 和 $7.26\times10^{-6}/^{\circ}\text{C}$ 。

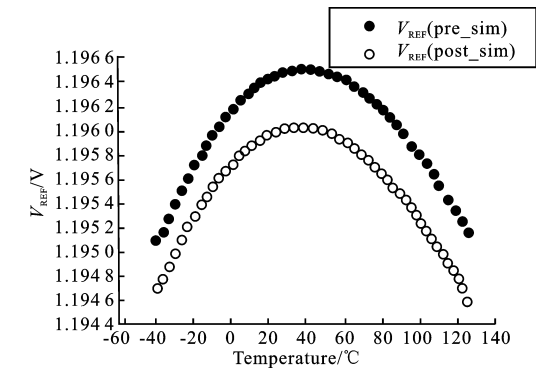


图 8 带隙基准电压随温度变化曲线

图 9 是 300 次 Monte Carlo 仿真得到的电路的失配结果,输出电压平均值 $\mu=1.19642\text{ V}$,方差 $\delta=5.01872\text{ mV}$, δ/μ 的比值是 0.419% ,这说明输出电压离散程度很小电压值比较稳定。

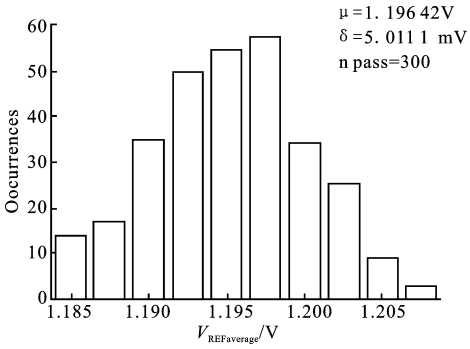


图 9 整体电路 Monte Carlo 300 次仿真结果

由图 10 可以看出不同温度下电源电压在 1.3~3.3 V 范围内基准电压输出正常。

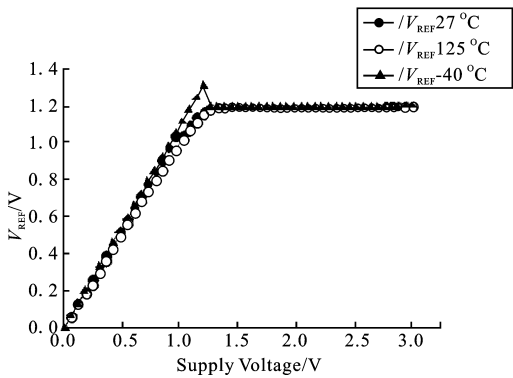


图 10 不同温度电源电压与输出电压 V_{REF} 的关系

表 1 总结了本文电路和其他带隙基准电路的各项指标,其中文献[1-3]为新结构电路,文献[9-10]为传统结构电路.通过和其他电路的比较可以看出本文带隙基准很好地实现了功耗与面积和稳定性之间的折中,实现了相似功耗下面积最小;相似面积下,功耗较小、ppm 最小、PSRR 最大、电压最稳定。

表 1 与其他带隙基准的比较

参考文献	本文	[1]	[2]	[3]	[9]	[10]
工艺 /nm	28	350	180	350	130	28
类型 *	BG	VTH	BG	VTH	BG	BG
电源电压/V	1.8	1.8	1.2	1.8	1.2	1.4
输出电压/V	1.196	0.745	1.090	0.579	0.585	0.6
功耗 /μA	0.26	0.214	0.083	2.3	2.5	2.5
PSRR(dB)@1kHz	78	45	40	84	54	57
TC/($\times10^{-6}/^{\circ}\text{C}$)	7	7	171	62	110	33
温度范围	-40~125	-20~80	-40~120	0~70	-20~120	-40~125
面积/mm ²	0.0116	0.055	0.0294	0.126	0.053	0.125

表 1 中,* 类型为 BG 的情况是电路结构中基准电压基于带隙电压,VTH 情况是电路结构中基准电压基于亚阈值电压。

7 结束语

本文基于 SMIC-28 nm 工艺设计了一款低功耗带隙基准电路,介绍了两种降低功耗的思路并分析

了这两种方法的特点,然后在传统结构上设计了电流仅为 264 nA 的低功耗带隙,电源电压为 1.8 V 输出电压为 1.196 4 V,温度系数仅为 7 ppm/°C,电源抑制比 1K 时为-78 dB,通过一些方法和措施将工艺对电路的影响降到最低,从而提高了电路的精度.设计过程中仿真了器件所有 corner,温度从-40~125°C 和电源电压±10%的情况、电源电压为 1.8 V 的时候最恶劣,corner 总电流为 343 nA,版图面积为 105 $\mu\text{m}\times 110 \mu\text{m}$.

本文很好地实现了低功耗高精度带隙在同等面积上功耗最低,在同等功耗下面积最小,温度系数较小,PSRR 较高,误差较小,电压较稳定的特点,实现了在精度、功耗面积之间的折中,很好地满足了设计要求和工业的需要.

参考文献:

- [1] Ken Ueno, Tetsuya Hirose, Tetsuya Asai, et al. A 300nW, 15 ppm/°C, 20 ppm/V CMOS voltage reference Circuit consisting of subthreshold MOSFETs[J]. IEEE Journal of Solid-State Circuits, 2009,44:2047-2054.
- [2] Yuji Osaki, Tetsuya Hirose, Nobutaka Kuroki, et al. 1.2-V supply, 100-nW, 1.09-V bandgap and 0.7-V supply, 52.5-nW, 0.55-V subbandgap reference circuits for nanowatt CMOS LSIs[J]. IEEE Journal of Solid-State Circuits, 2013,48:1530-1538.
- [3] Cheng M H, Wu Z W. Low-power low-voltage reference using peaking current mirror circuit Electron[J]. Lett., 2005, 41(10):572-573.
- [4] Banba H, Shiga H, Umezawa A, et al. A CMOS

bandgap reference circuit with sub-1-V operation[J]. IEEE Journal of Solid-State Circuits, 1999,34: 670-674.

- [5] 何乐年,王忆. 模拟集成电路设计与仿真 [M]. 北京: 科学出版社,2008.
- [6] RAZAVI B. 模拟 CMOS 集成电路设计 [M]. 陈贵灿,程军,译. 西安:西安交通大学出版社,2002.
- [7] Wang A, Clhoun B H, Chandracasan A P. Sub-threshold design for ultra low-Power systems [M]. New York: Springer, 2006.
- [8] Taur Y, Ning T H. Fundamentals of modern VLSI devices [M]. Cambridge, U. K.: Cambridge Univ. Press, 2002.
- [9] Zhang Hualei, Xiao Zhibin, Xi Tan, et al. Low-power sub-1-V compact bandgap reference for passive RFID tags[J]. Electron. Lett., 2015,51(11):816.
- [10] Filippo Neri, Thomas Brauner, Eric De Mey, et al. Low-power, wide supply voltage bandgap reference circuit in 28nm CMOS[C]// IEEE Jordan Conference on Applied Electrical Engineering and Computing Technologies (AEECT). IEEE, 2015:1-6.

作者简介:

纪书江 男,(1989-),硕士研究生.研究方向为模拟集成电路设计. E-mail:jishujiang@ime.ac.cn.

霍长兴 男(满族),(1984-),研究实习员.研究方向为模拟集成电路设计.

孙海涛 男,(1987-),研究实习员.研究方向为存储器定制电路设计.

刘璟 男,(1985-),助理研究员.研究方向为 Flash 存储器电路设计及可靠性.

(上接第 70 页)

- [2] Clements A, Ahmad I, Vilayannur M. et al. Decentralized deduplication in SAN cluster file systems[C] // Proc of the USENIX ATC'09. Berkeley,CA: USENIX, 2009:101-114.
- [3] Ng C H, Patrick P. RevDedup: A reverse deduplication storage system optimized for reads to latest backups. //Proc. Of the 4th ACM SIGOPS Asia-Pacific Workshop on Systems. Singapore, 2013. [doi: 10.1145/2500727.2500731].
- [4] Zhang H Y, Zhou J C, Zhou Yibo, et al. User-Aware De-Duplication Algorithm[J]. Journal of Software, 2015,26(10):2581-2595.

- [5] Li Gouri A, Hensbergen E. Experiences with content addressable storage and virtual disks // Proc of USENIX WIOV'08. Berkeley: USENIX, 2008: 5-10.

- [6] FREY B J, DUECK D. Clustering by passing messages between data points[J]. Science, 2007, 315(16): 972-976.

作者简介:

马柄腾 男,(1990-),硕士.研究方向为分布式存储、云计算、网络安全. E-mail:mabingteng@sina.com.

刘丹 男,(1969-),博士,副教授.研究方向为网络安全、分布式并行计算、云计算与大数据处理.